Quiz 3 – Sintaxis VHDL

Nohely Marín 8-915-1546

1. Se requiere asignar la ecuación booleana A + (BC) + not D a la salida S. ¿Cuál de las siguientes asignaciones es válida?

Q <= A or BC or not D;

Q <= A or BC or not D

Q => A or B and C or not D;

Q <= A or B and C or not D;

Ninguna de las anteriores

1. ¿Cuál es la diferencia entre programar microcontroladores y programar FPGAs?

En microcontroladores sus “programas” son secuenciales, los fpgas sus “programas” son concurrentes

En fpgas sus “programas” son secuenciales, los microcontroladores sus “programas” son concurrentes

Ninguna de las anteriores

1. ¿Cuál de las siguientes sintaxis en VHDL aplica más para el caso de concurrencia?

If then elsif endif

When

For

Todas las anteriores

Ninguna de las anteriores

1. Deseamos hacer “instantiation” de un componente dentro de un archivo VHDL. ¿Qué sentencia debemos elegir para mapear puertos de entrada y salida?

GENERIC y CONSTANT

GENERIC y PORT MAP

STD\_LOGIC y PORT MAP

CONSTANT y STD\_LOGIC

Ninguna de las anteriores

1. Cuando necesitamos que un segmento en VHDL ocurra en un tiempo específico utilizamos que declaración:

for

process

generic

when

Ninguna de las anteriores

1. ¿Qué parte del siguiente código está incorrecta?. Las entradas son clk, en, d y la salida es q.

PROCESS (clk, en)

BEGIN

IF (en = ‘1’ and clk’event = ‘0’)

q <= d;

ENDIF;

END PROCESS;

No se puede tener más de una señal en process

Begin falta ser anidado en el código

Falta un “then” al “if”

Endif debe ser END IF;

Falta la etiqueta del proceso

1. ¿Cuantas veces será impreso esto?

For x in 0 to 0 loop

Report “x = “ & integer‘image(i);

End loop;

Infinitas veces

Ninguna

Una vez

Ninguna de las anteriores

1. ¿Cuál de las siguientes señales causa el proceso a ejecutarse?

process (h)

begin

if (h = ‘1’) then

y &lt <= ‘0’;

else

y &lt <= input;

end process

input

y

clear

h

Ninguna de las anteriores

1. ¿Cúal es el proceso en el cual se convierte el código en VHDL a un equivalente a ‘nets’ y equivalente de compuerta?

Simulación

Implementación

Generación de Bitstream

Síntesis

Ninguna de las anteriores

1. Para utilizar la tarjeta DE-10 Standard de Terasic que software debemos poseer

Altera Quartus

Xilinx ISE